

**简介**

SIT3485ISO 是一款电容隔离、半双工 RS-485 收发器，符合 TIA/EIA-485-A 标准，具备 5000VRMS 电气隔离、±100kV/μs 高 CMTI、总线端口 15kV HBM ESD 保护、±15V 总线耐压、1/8 单位负载（支持 256 节点）、驱动器短路保护、接收器开路失效保护及低功耗关断功能，适用于工业控制、多节点长距离、强干扰隔离通信场景。

- 供电范围：VCC1=2.5V~5.5V，VCC2=4.5V~5.5V
- 通信速率：500kbps
- 隔离耐压：5000VRMS
- 工作温度：-40°C~125°C
- 封装：宽体 SOIC16（SOIC16-WB）

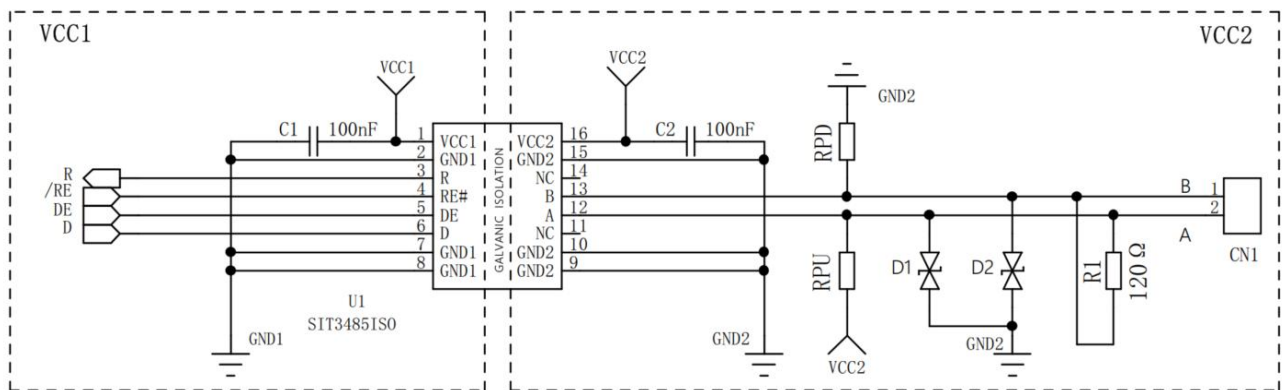
**典型应用**

**图 1-1**

图 1-1 为 SIT3485ISO 典型外围电路（隔离型 RS485 接口）

**1. 电源设计**

VCC1 为逻辑侧电源（2.5V~5.5V），VCC2 为总线侧电源（4.5V~5.5V）。

VCC1、VCC2 需各就近放置 100nF 滤波电容，紧靠芯片引脚，滤除高频噪声。

GND1（逻辑地）与 GND2（总线地）严格隔离，禁止直接连通。

**2. 引脚控制逻辑**

D：驱动器输入，接 MCU TX

R：接收器输出，接 MCU RX

/RE：接低电平时，接收器输出使能

DE：接高电平时，驱动器输出有效

常规收发控制：/RE 与 DE 短接由单 IO 控制，高电平=发送模式、低电平=接收模式

低功耗关断：/RE=1 且 DE=0，器件进入低功耗关断模式

### 3. 总线终端匹配

根据 RS-485 总线规范要求，必须在总线的最近端与最远端节点，分别在 A、B 之间并联  $120\Omega$  终端电阻，实现阻抗匹配、抑制信号反射，保障长距离与高速通信稳定。中间节点禁止添加终端电阻，避免总线过载导致通信异常。

### 4. 抗干扰能力设计

为提升总线在强噪声环境下的抗干扰能力，需在总线两端增加外部失效保护偏置电路，以扩大噪声容限。该电路由一个 RPU 电阻将总线 A 端上拉到 VCC、一个 RPD 电阻将总线 B 端下拉到地，此电阻在主机端取值范围一般建议  $500\Omega$ - $1k\Omega$ ，从机端电阻选择一般  $10k\Omega$ - $20k\Omega$  范围

### 5. 保护与滤波设计

保护与滤波电路应尽可能靠近总线 A/B 连接器放置，有效抑制瞬态干扰、ESD 及噪声向板内传播。可通过瞬态电压抑制器（TVS）增强端口防护。

TVS 选型原则：

- 选用双向、低漏电流器件，满足系统静电防护等级要求；
- 最大钳位电压  $V_C < 12V$ ；
- 结电容  $C_j \leq 50pF$ ，适配信号传输速率。

## PCB LAYOUT

为保证隔离性能、通信稳定性与 EMC 效果，PCB 设计需遵循以下原则：

- 逻辑区（VCC1/GND1）与总线区（VCC2/GND2）严格分区，隔离槽下方禁止走线、铺铜。
- 隔离路径爬电距离与电气间隙满足系统安规要求（ $\geq 8mm$  典型）。
- VCC1、VCC2 滤波电容紧靠芯片对应引脚放置。
- ESD/TVS 保护器件靠近总线连接器放置，走线短、路径直。
- A/B 差分线等长、平行、紧耦合，远离强干扰源（电源、电机、高频信号）。
- $120\Omega$  终端电阻靠近 A/B 引脚放置，位于总线侧。

## 修订历史

版本号	修订内容	修订时间
V1.0	初始版本。	2026.04